

#^{RS}
2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Tatsuya ISHII
Title: VARIABLE-GAIN DIGITAL FILTER
Appl. No.: Unassigned
Filing Date: December 22, 2000
Examiner: Unassigned
Art Unit: Unassigned



CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- Japanese Patent Application No. 11-372497 filed December 28, 1999.

Respectfully submitted,

Date December 22, 2000

By

A handwritten signature in black ink, appearing to read "David A. Blumenthal".

FOLEY & LARDNER
Washington Harbour
3000 K Street, N.W., Suite 500
Washington, D.C. 20007-5109
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

403731301 ISHii

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JCS62 U.S. PTO

09/741194



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 1 2 月 2 8 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 3 7 2 4 9 7 号

出 願 人

Applicant (s):

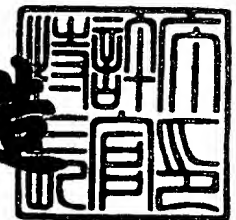
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 0 年 1 0 月 2 0 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 53310336

【提出日】 平成11年12月28日

【あて先】 特許庁長官殿

【国際特許分類】 H03H 17/00

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号日本電気株式会社内

 【フリガナ】 シイ タツ

 【氏名】 石井 達也

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100076325

 【弁理士】

 【氏名又は名称】 熊谷 雄太郎

【手数料の表示】

 【予納台帳番号】 016218

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001714

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ゲイン可変型デジタルフィルタ

【特許請求の範囲】

【請求項 1】 ゲインを選択する第 1 のセレクタと該第 1 のセレクタの出力と入力データとを乗算する第 1 の乗算器とから成るゲイン調整回路を、デジタルフィルタの前段に有するゲイン可変型デジタルフィルタにおいて、前記ゲイン調整回路を前記フィルタの前段から除去して該フィルタの内部に組み込んで構成されたことを特徴とするゲイン可変型デジタルフィルタ。

【請求項 2】 前記ゲイン調整回路の前記第 1 の乗算器は、前記第 1 のセレクタから出力されるゲイン信号と第 2 のセレクタから一定時間ごとに切り替えられて出力される係数系列とを乗算して出力し、該第 1 の乗算器の出力は、シフトレジスタの各出力が第 3 のセレクタにより選択出力された入力データと第 2 の乗算器により乗算され、該第 2 の乗算器の出力は積分器により積分されて出力されることを更に特徴とする請求項 1 に記載のゲイン可変型デジタルフィルタ。

【請求項 3】 n (n は正の整数) 段のフリップフロップにより構成され入力データをシフトすると共に各段より遅延出力を発生するシフトレジスタと、ゲインを選択する第 1 のセレクタと、係数系列を選択する第 2 のセレクタと、前記シフトレジスタの各遅延出力を選択する第 3 のセレクタと、前記第 1 のセレクタの出力と前記第 2 のセレクタの出力とを乗算する第 1 の乗算器と、該第 1 の乗算器の出力と前記第 3 のセレクタの出力とを乗算する第 2 の乗算器と、該第 2 の乗算器の出力を積分する積分器とを有することを特徴としたゲイン可変型デジタルフィルタ。

【請求項 4】 前記第 1、第 2 及び第 3 のセレクタ及び第 1、第 2 の乗算器を 2 分割し、該第 1 ～第 3 のセレクタ及び第 1、第 2 の乗算器をそれぞれ 2 個ずつ使用し、前記第 1 ～第 3 の各セレクタは $(T/n) \times 2$ 時間 (T : 1 タイムスロット時間、 n : フィルタ次数) 毎に出力を切り替えることを更に特徴とする請求項 3 に記載のゲイン可変型デジタルフィルタ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、デジタルフィルタに関し、特に、移動体通信など多くのデジタル通信の分野で、帯域制限などの目的で利用され、欠かせない技術となっているゲイン可変型デジタルフィルタに関する。

【0002】

【従来の技術】

従来、IS-95 (Interim Standard 95、米国で標準化されたデジタル携帯電話システムの方式) システムのように、同一タイムスロットの中に数種類のゲインが存在するようなシステムでは、ゲインの調整(切り替え)を帯域制限(デジタル)フィルタの前段で行っていた。フィルタの後段で行った場合には、出力に不連続点が生じフィルタの帯域制限特性を満たさなくなるからである。

【0003】

従って、図5のようにデジタルフィルタ53の前段にゲインセレクタ51、及び乗算器52を配置し、ベースバンド処理後のデータに対し、ゲインセレクタ51で選択されたゲインは乗算された後にデジタルフィルタ53へ入力されていた。この場合、デジタルフィルタ53への入力は、ベースバンド処理後のデータをXビット、ゲインのビット数をYビットとすると、精度を落とさずに計算する場合、X+Yビットとなり、デジタルフィルタ53の構成は例えば図6のような回路になる。

【0004】

図6に示されたデジタルフィルタ53は、入力データ及び係数系列を1タイムスロット中にn回切り替えするセレクタを備え、時分割処理することによってFIR (Finite Impulse Response) フィルタを実現している回路である(n:フィルタ次数)。動作としては、図1における乗算器16とセレクタ15がないものと等しく、図7のタイミングチャートに示すように、入力データIN(N)~IN(N-n)はセレクタSEL13において時分割多重され、セレクタSEL14によって時分割多重された係数k1~knと乗算後に積分される。時分割処理により乗算器、加算器の削減を実現しているが、入

カビット数は $X+Y$ ビットであるので、 $(X+Y) \times n$ ビットのフリップフロップ FF が必要となり、回路規模の上で問題となっていた。

【0005】

【発明が解決しようとする課題】

CDMA (Code Division Multiple Access) 技術を用いた IS-95 システムでは、1 フレーム中にゲインの違うシンボルを送信しなければならない。この場合、帯域制限フィルタの後段でゲインを調整すると、前述の如く出力値に不連続点が発生し、フィルタの帯域制限特性を満たさなくなるために、フィルタの前段でゲインを調整する必要がある。

【0006】

図 5 の従来例により上述した如く、従来技術には、フィルタ前段でゲインを調整するセレクタ 51 と乗算器 52 が設けられているために、データ入力ビット数を X 、ゲインビット数を Y とすると、デジタルフィルタ 53 の入力ビット数は $X+Y$ ビットとなってしまう。従って、従来例の場合には、デジタルフィルタ 53 では $(X+Y) \times n$ ビットの FF (Flip Flop) が必要となってしまう (n : フィルタ次数、図 6 参照)。

【0007】

本発明は従来の上記実情に鑑み、従来技術に内在する上記欠点を解消する為になされたものであり、従って本発明の目的は、従来フィルタ前段に配置されていたゲイン調整回路を、フィルタ内部に組み込むことにより回路規模を削減することを可能とした新規なゲイン可変型デジタルフィルタを提供することにある。

【0008】

【課題を解決するための手段】

上記目的を達成するために、本発明に係るゲイン可変型デジタルフィルタは、ゲインを選択する第 1 のセレクタと該第 1 のセレクタの出力と入力データとを乗算する第 1 の乗算器とから成るゲイン調整回路を、デジタルフィルタの前段に有するゲイン可変型デジタルフィルタにおいて、前記ゲイン調整回路を前記フィルタの前段から除去して該フィルタの内部に組み込んで構成されたことを特

徴としている。

【0009】

前記ゲイン調整回路の前記第1の乗算器は、前記第1のセレクタから出力されるゲイン信号と第2のセレクタから一定時間ごとに切り替えられて出力される係数系列とを乗算して出力し、該第1の乗算器の出力は、シフトレジスタの各出力が第3のセレクタにより選択出力された入力データと第2の乗算器により乗算され、該第2の乗算器の出力は積分器により積分されて出力される。

【0010】

本発明に係るゲイン可変型デジタルフィルタはまた、 n (n は正の整数) 段のフリップフロップにより構成され入力データをシフトすると共に各段より遅延出力を発生するシフトレジスタと、ゲインを選択する第1のセレクタと、係数系列を選択する第2のセレクタと、前記シフトレジスタの各遅延出力を選択する第3のセレクタと、前記第1のセレクタの出力と前記第2のセレクタの出力とを乗算する第1の乗算器と、該第1の乗算器の出力と前記第3のセレクタの出力とを乗算する第2の乗算器と、該第2の乗算器の出力を積分する積分器とを備えて構成されている。

【0011】

また本発明に係るゲイン可変型デジタルフィルタは、前記第1、第2及び第3のセレクタ及び第1、第2の乗算器を2分割し、該第1～第3のセレクタ及び第1、第2の乗算器をそれぞれ2個ずつ使用して構成され、前記第1～第3の各セレクタは $(T/n) \times 2$ 時間 (T : 1 タイムスロット時間、 n : フィルタ次数) 毎に出力を切り替えることを特徴としている。

【0012】

【発明の実施の形態】

次に、本発明をその好ましい各実施の形態について図面を参照しながら詳細に説明する。

【0013】

本発明を、IS-95システムの下り送信部に用いる場合について以下に述べる。

【 0 0 1 4 】

〔第 1 の実施の形態〕

図 1 は本発明による第 1 の実施の形態を示すブロック構成図である。

【 0 0 1 5 】

〔第 1 の実施の形態の構成〕

図 2 に I S - 9 5 システム下り送信系のブロック構成を示す。送信データ 2 1 は、ベースバンド処理部 2 2 において C R C 付加、畳み込み符号化、ブロックインタリーブ、ロングコート拡散、電力制御ビット挿入、W a l s h 拡散、ショートコード拡散等の処理後に、帯域制限の為にデジタルフィルタ 2 3 へ入力される。デジタルフィルタ 2 3 の出力は R F 部 2 4 において無線周波数に変換され、アンテナより外部へ送信される。

【 0 0 1 6 】

図 1 に、本発明に係る発明部分であるデジタルフィルタ 2 3 について詳細に示す。図 1 のデジタルフィルタは、次数 n の F I R フィルタを時分割処理することにより実現しているものである。

【 0 0 1 7 】

図 1 を参照するに、入力データ 1 1 (X ビット) は n 段のシフトレジスタ 1 2 に入力される。また、係数系列 $k_1 \sim k_n$ (J ビット) はセレクタ 1 4 によって一定時間ごとに切り替えられ、セレクタ 1 5 により選択されたゲイン信号 (Y ビット) と乗算器 1 6 で乗算される。乗算された信号 ($J + Y$ ビット) は、セレクタ 1 3 により一定時間ごとに切り替えられたシフトレジスタ 1 2 の出力 (X ビット) と乗算器 1 7 で乗算され、積分器 1 8 に入力される。積分器 1 8 では、一定時間毎にデータを積分して出力する ($X + Y + J + L o g_2 n$ ビット)。

【 0 0 1 8 】

〔第 1 の実施の形態の動作〕

以上簡単に実施の形態の構成を述べたが、次に詳細な構成及び動作について説明する。

【 0 0 1 9 】

図 2 において、ベースバンド処理部 2 2 にて処理された送信信号は、X ビット

のデータとしてディジタルフィルタ 23 へ入力される。ディジタルフィルタ 23 では、図 1 に示すように X ビットの入力データが n 段のシフトレジスタ 12 へ入力される。

【0020】

ここで、入力データを $IN(N)$ 、1 タイムスロット遅延させた入力データを $IN(N-1)$ とすると、シフトレジスタ 12 の出力データは、 $IN(N)$ 、 $IN(N-1)$ 、 $IN(N-2)$ 、 \dots $IN(N-n)$ となる。セクタ 13 は 1 タイムスロット時間 T を n 分割した時間 T/n 毎に $IN(N)$ 、 $IN(N-1)$ 、 $IN(N-2)$ 、 \dots $IN(N-n)$ を切り替えて出力する。

【0021】

同様に、セクタ 14 は、係数系列 k_1 、 k_2 、 \dots k_n を T/n 時間毎に切り替えて出力する。

【0022】

ここで、従来における通常の FIR フィルタであれば、セクタ SEL 15、乗算器 16 の回路は設けられておらず、乗算器 17 により T/n 時間毎に $k_1 \cdot IN(N-1)$ 、 $k_2 \cdot IN(N-2)$ 、 \dots 、 $k_n \cdot IN(N-n)$ が計算され、 T 時間 (1 タイムスロット) 毎にリセットされる積分器 18 により、 T 時間毎に式 1 に示す値が出力される。

【0023】

[式 1]

$$k_1 \cdot IN(N-1) + k_2 \cdot IN(N-2) + \dots + k_n \cdot IN(N-n) = \sum k_n \cdot IN(N-n)$$

この場合のタイミングチャートを図 7 に示した。

【0024】

次に、セクタ SEL 15、乗算器 16 の回路を用いる本発明の場合について説明する。

【0025】

IS-95 システムの下り (基地局 → 端末) トラフィックチャネル (Traffic Channel) では、送信データの中に電力制御ビットという部分が存

在し、他部分と送信電力（ゲイン）を変えなければならない。

【0026】

そこで、電力制御ビット用ゲインを $G a i n 1$ 、他部分のゲインを $G a i n 2$ としセクタ $S E L 15$ で切り替えられるようにする。選択されたゲインは、係数系列 $k n$ と乗算器 16 にて乗算され、その後乗算器 17 にて $I N (N)$, $I N (N-1)$, $I N (N-2)$, \dots $I N (N-n)$ と乗算される。

【0027】

具体的に、あるタイムスロットにおいて $I N (N-1)$, $I N (N-2)$, $I N (N-3)$ が電力制御ビット、その他 ($I N (N-4)$, $I N (N-5)$, \dots , $I N (N-n)$) が電力制御ビットでなかったとすると、セクタ 15 の出力はセクタ 14 の出力が $k 1$, $k 2$, $k 3$ の時にのみ $G a i n 1$ 、その他の時には $G a i n 2$ となるように制御される。従って、そのタイムスロットに対応する積分器 18 の出力は式 2 に示すようになる。

【0028】

[式 2]

$$G a i n 1 \cdot (k 1 \cdot I N (N-1) + k 2 \cdot I N (N-2) + k 3 \cdot I N (N-3)) + G a i n 2 \cdot (k 4 \cdot I N (N-4) + \dots + k n \cdot I N (N-n))$$

この場合のタイミングチャートを図 3 に示した。

【0029】

次のタイムスロットでは、もし現在の $I N (N)$ のデータが電力制御ビットであれば、 $I N (N-1)$, $I N (N-2)$, $I N (N-3)$, $I N (N-4)$ が電力制御ビットとなり、セクタ 15 の出力はセクタ 14 の出力が $k 1$, $k 2$, $k 3$, $k 4$ の時に $G a i n 1$ 、その他の時には $G a i n 2$ となり、このタイムスロットに対応する積分器 18 の出力は式 3 に示すようになる。

【0030】

[式 3]

$$G a i n 1 \cdot (k 1 \cdot I N (N-1) + k 2 \cdot I N (N-2) + k 3 \cdot I N (N-3) + k 4 \cdot I N (N-4)) + G a i n 2 \cdot (k 5 \cdot I N (N-5)$$

) + \dots + k_n \cdot I_N(N-n))

もし現在の $I_N(N)$ のデータが電力制御ビットでなければ、 $I_N(N-2)$ 、 $I_N(N-3)$ 、 $I_N(N-4)$ が電力制御ビットとなりセクタ 15 の出力はセクタ 14 の出力が k_2 、 k_3 、 k_4 の時に G_{ain1} 、その他の時には G_{ain2} となり、このタイムスロットに対応する積分器 18 の出力は式 4 に示すようになる。

【0031】

[式 4]

$$G_{ain1} \cdot (k_2 \cdot I_N(N-2) + k_3 \cdot I_N(N-3) + k_4 \cdot I_N(N-4)) + G_{ain2} \cdot (k_1 \cdot I_N(N-1) + k_5 \cdot I_N(N-5) + \dots + k_n \cdot I_N(N-n))$$

このように、ディジタルフィルタ 23 において G_{ain} 調整、帯域制限されたデータは RF 部 24 にて無線周波数に変換され、アンテナより送信される。

【0032】

[第 2 の実施の形態]

次に本発明による第 2 の実施の形態について図面を参照しながら説明する。

【0033】

図 4 は本発明による第 2 の実施の形態を示すブロック構成図である。

【0034】

図 4 は図 1 におけるセクタ SEL 13、14、15 及び乗算器 16、17 の回路を 2 個ずつ使用したものであり、それぞれのセクタは $(T/n) \times 2$ 時間毎に出力を切り替える (T : 1 タイムスロット時間、 n : フィルタ次数)。即ち、図 1 のセクタ 13 はセクタ 13a、13b により、セクタ 14 はセクタ 14a、14b により、セクタ 15 はセクタ 15a、15b により、乗算器 16 は乗算器 16a、16b により、乗算器 17 は乗算器 17a、17b により、それぞれ 2 個の要素により構成されている。積分器の出力タイミングは図 4 のものと変わらず、途中の乗算を 2 倍の時間をかけて、2 倍の回路で行うものである。

【0035】

図 4 に示された実施の形態は、当然のことながら図 1 の構成より回路規模は大きくなるが、 n が大きく動作スピードが間に合わない場合に有効である。

【0036】

同様に、更に他の実施の形態として、 $1/m$ 倍の乗算器動作スピードを m 倍の回路規模で実現する実現例が考えられる。

【0037】

【発明の効果】

本発明は以上の如く構成され、作用するものであり、本発明の効果は、回路規模の削減にある。

【0038】

即ち、本発明では、従来例の図 5 におけるゲインセクタ 5 1 及び乗算器 5 2 をデジタルフィルタの内部に入れることで（図 1 の 1 5、1 6）回路規模を削減している。具体的には、ベースバンド処理後のデータビット数を X ビット、ゲインのビット数を Y ビット、フィルタ係数系列のビット数を J ビット、フィルタの次数を n とした場合に、従来（図 5 + 図 6）及び本発明（今回の本発明）の方法（図 1）に必要な回路規模は表 1 に示すようになる。

【0039】

[表 1]

【0040】

	FF (Flip Flop)	乗算器	積分器
従来の方法	$X+Y$ ビット : n 個	X ビット $\times Y$ ビット : 1 個 $X+Y$ ビット $\times J$ ビット : 1 個	$X+Y+J$ ビット入力 $X+Y+J+\log 2n$ ビット出力
今回発明方法	X ビット : n 個	J ビット $\times Y$ ビット : 1 個 $J+Y$ ビット $\times X$ ビット : 1 個	$X+Y+J$ ビット入力 $X+Y+J+\log 2n$ ビット出力

【0041】

回路規模を比較すると、積分器に関して同等、乗算器に関しては $X+Y$ ビット $\times J$ ビットと $J+Y$ ビット $\times X$ ビットが同等規模と考えると、 $X > J$ の時には本発明の方が回路規模が小さく、 $J > X$ の時には従来の方が回路規模が小さくなる。

【0042】

しかしながら、フリップフロップ F F に関してはいかなる場合においても $Y \times n$ ビット分だけ本発明の方が少なくなる。従って、 $J \gg X$ でフリップフロップ F F の改善度が乗算器の劣化度を上回る特別な場合を除いて、本発明により、大きく回路規模が削減される。

【0043】

特に、ゲインのビット数 Y やフィルタの次数 n が大きい場合には、フリップフロップ F F の改善度が大きく有効である。

【図面の簡単な説明】

【図 1】

本発明による第 1 の実施の形態を示すブロック構成図である。

【図 2】

本発明が適用される I S - 9 5 システムの下り送信系を示すブロック図である。

【図 3】

本発明による第 1 の実施の形態の動作例を示すタイミングチャートである。

【図 4】

本発明による第 2 の実施の形態を示すブロック構成図である。

【図 5】

従来における I S - 9 5 システムにおけるデジタルフィルタの前段部分を示すブロック図である。

【図 6】

従来におけるこの種のデジタルフィルタを示すブロック図である。

【図 7】

図 6 に示された従来例の動作を示すタイミングチャートである。

【符号の説明】

- 1、2、・・・、n…フリップフロップ
- 1 1…入力データ
- 1 2…n 段のシフトレジスタ

1 3、1 4、1 5、5 1…セレクト (SEL)

1 6、1 7、5 2…乗算器

1 8…積分器

2 1…送信データ

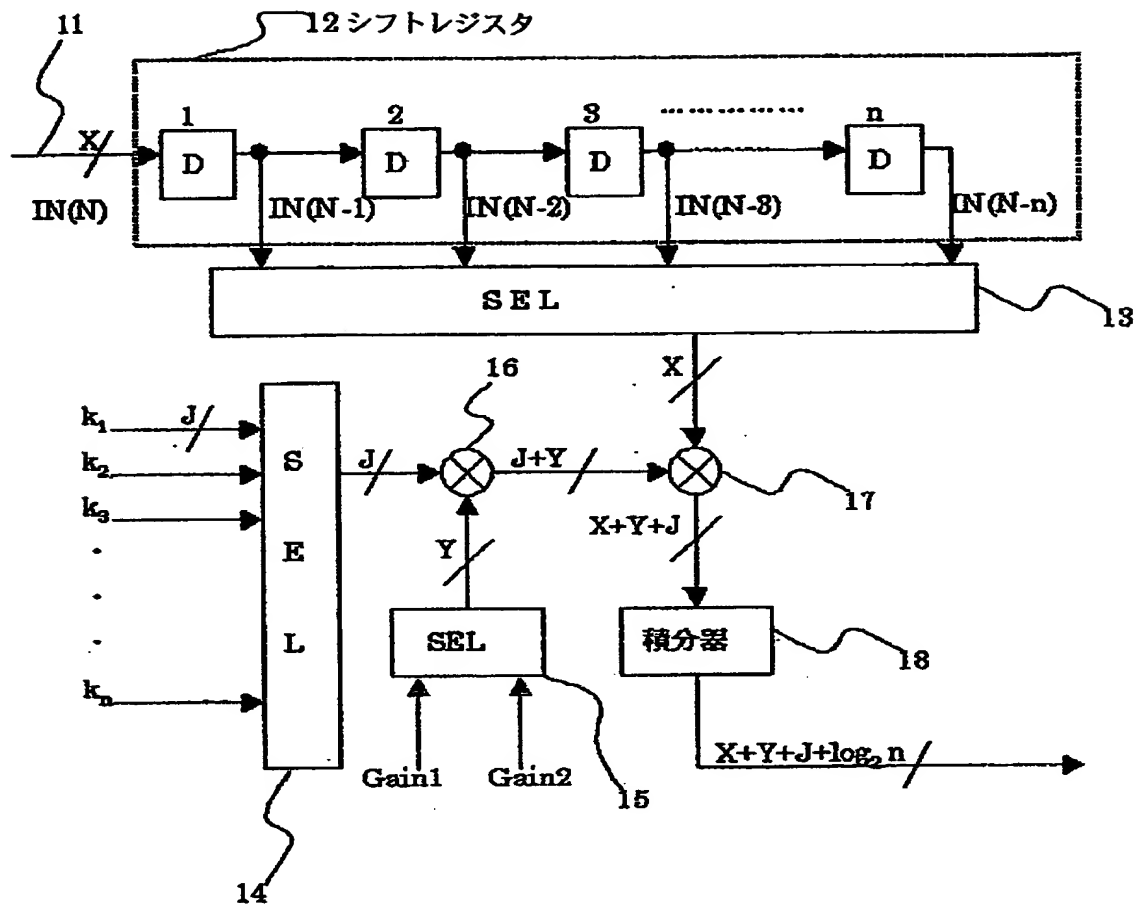
2 2…ベースバンド処理部

2 3、5 3…デジタルフィルタ

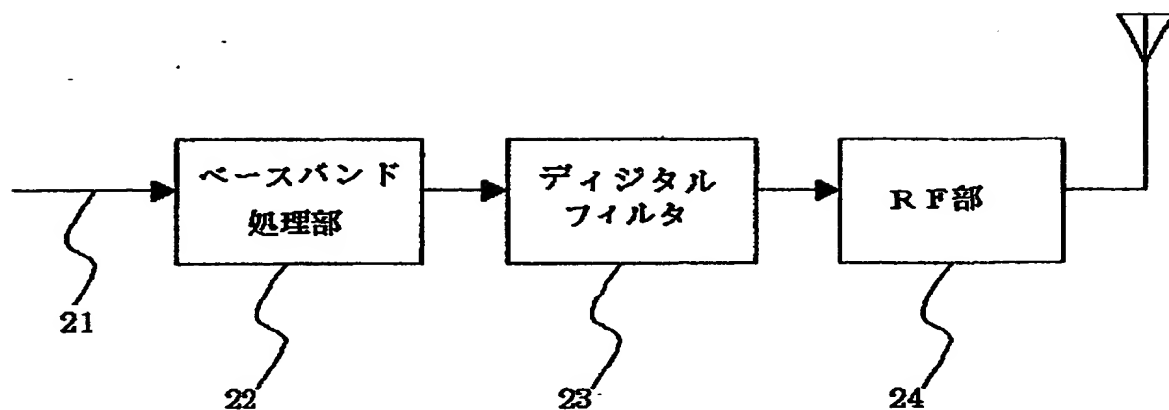
2 4…RF部

【書類名】 図面

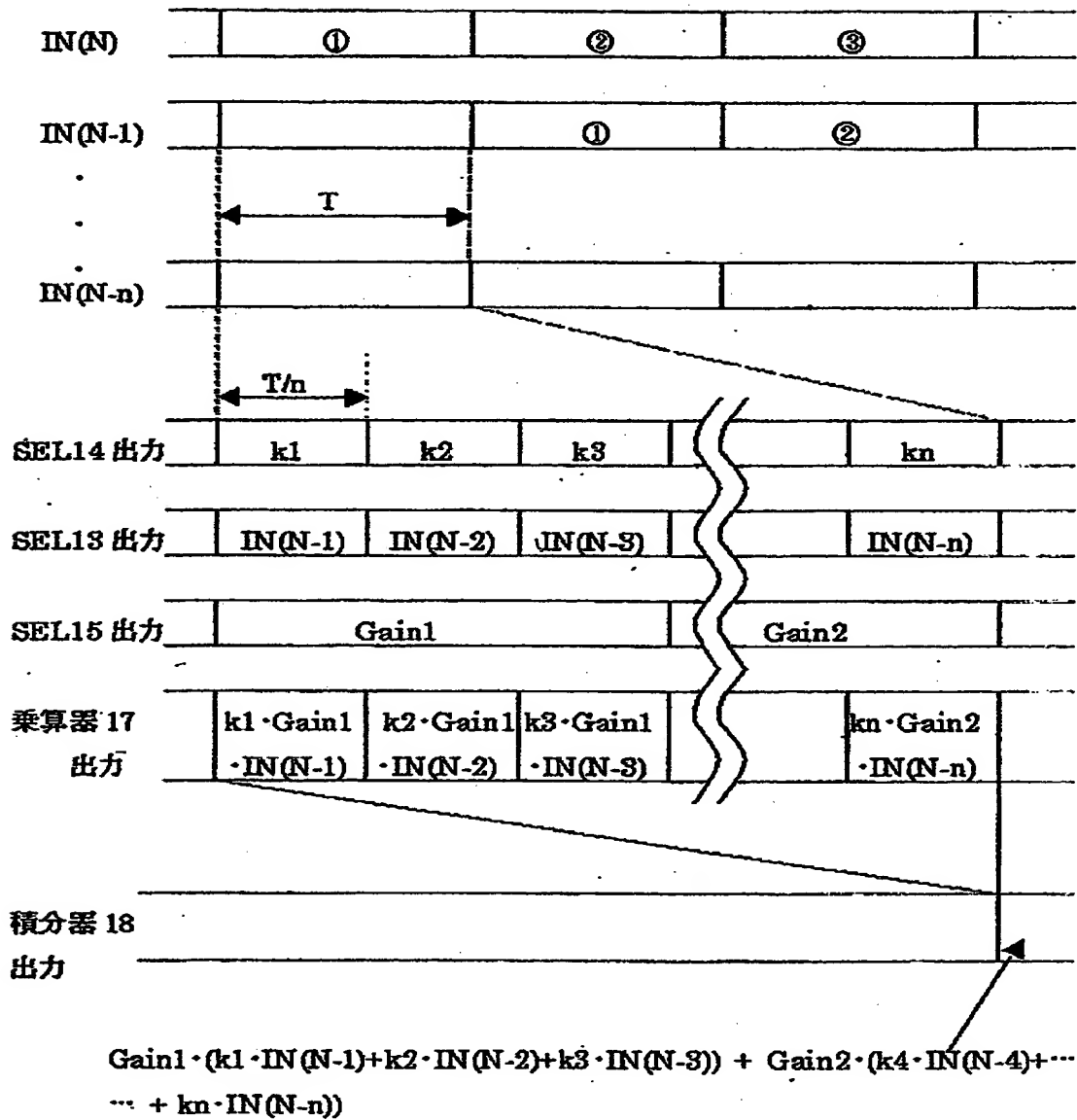
【図 1】



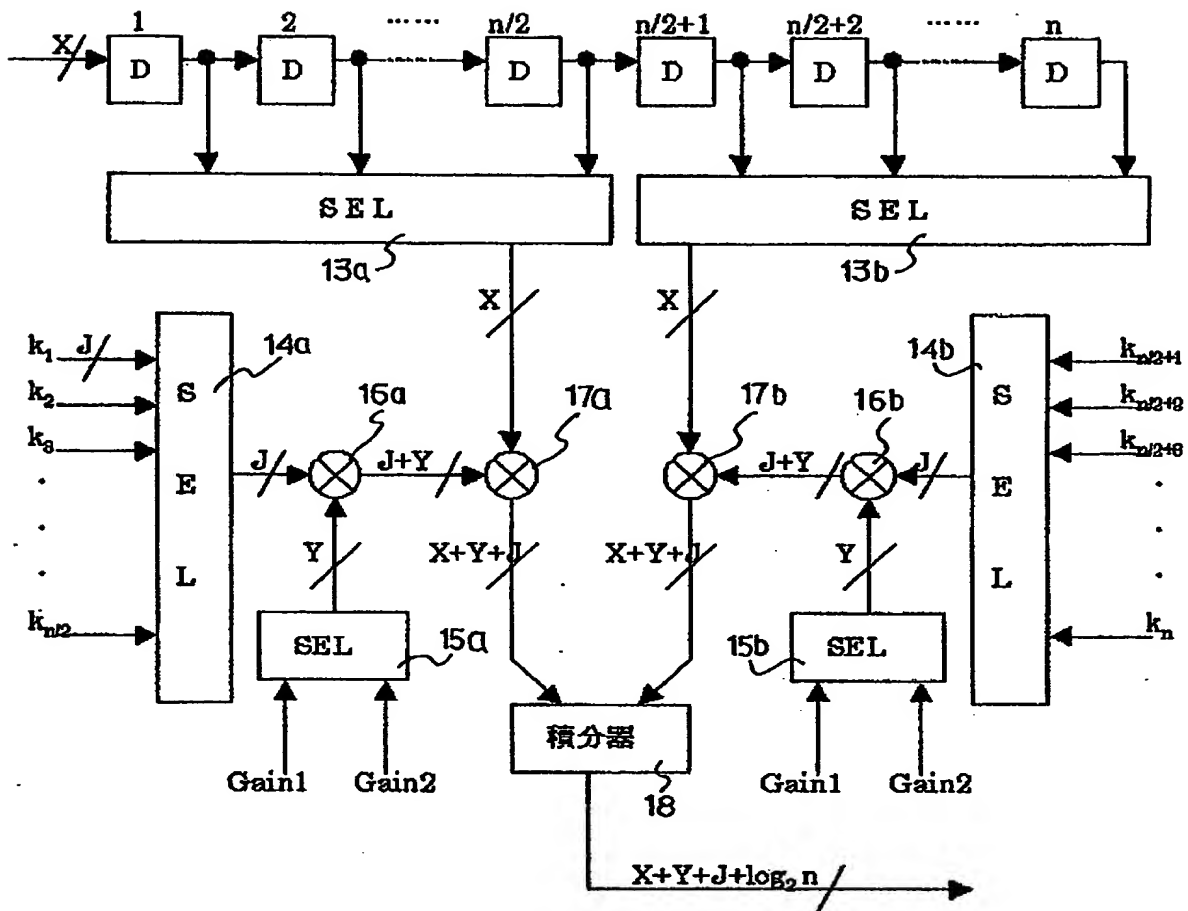
【図 2】



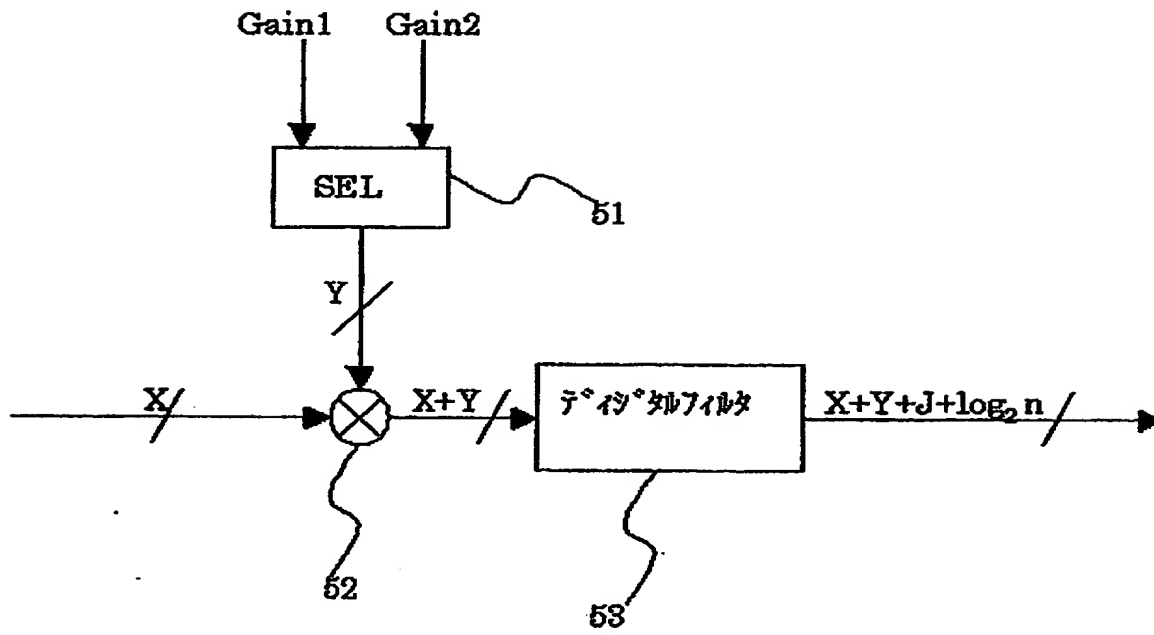
【図 3】



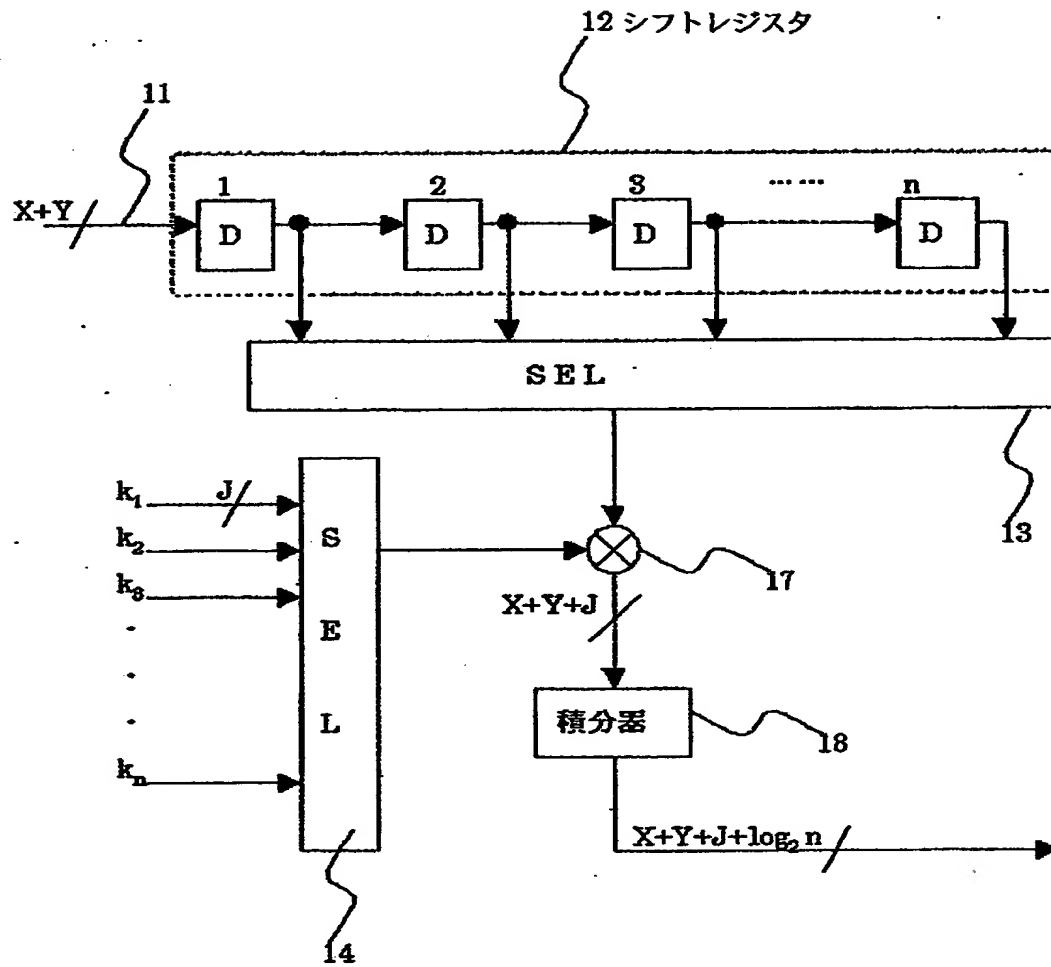
【図 4】



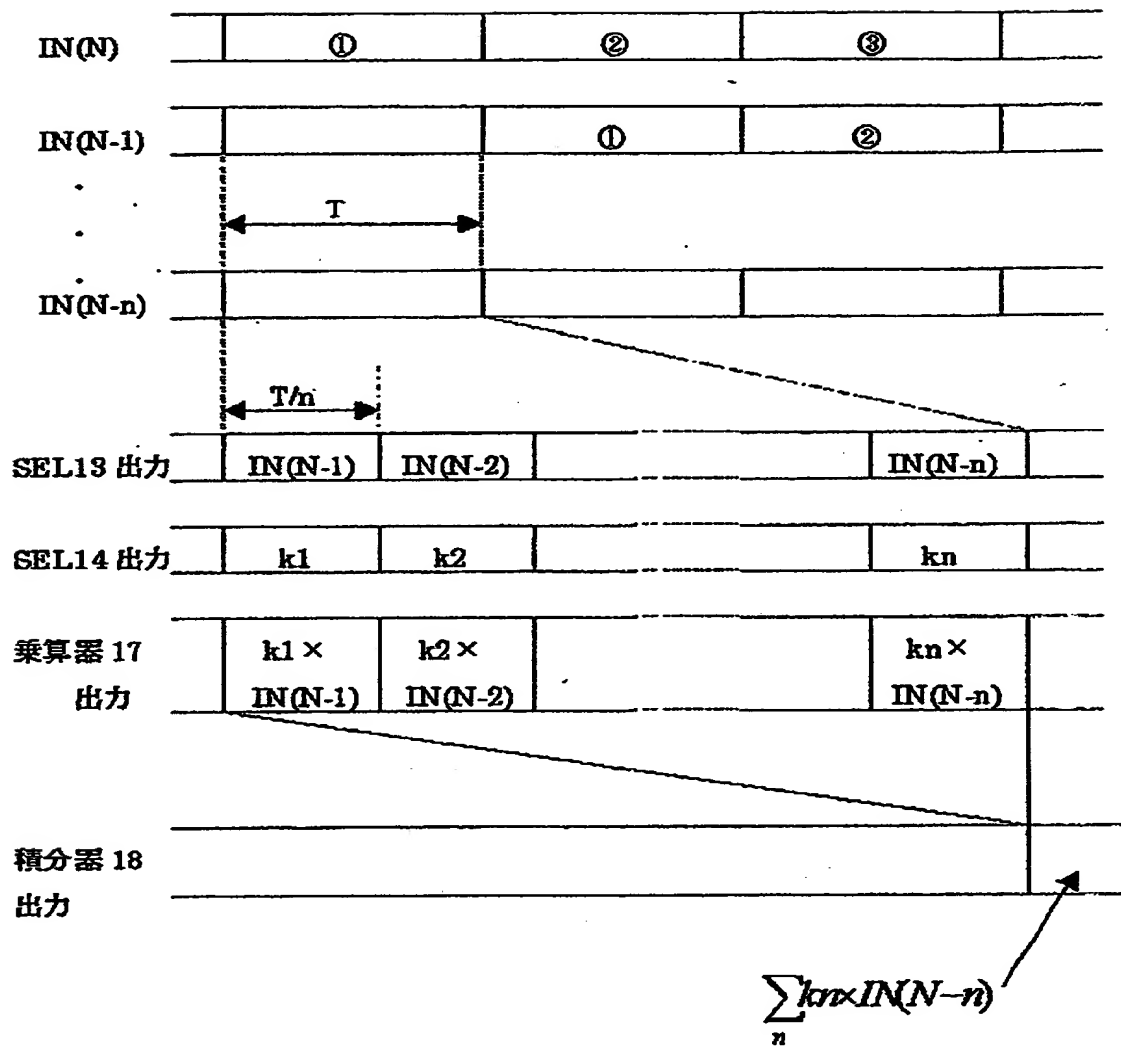
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 従来におけるこの種のゲイン可変型フィルタは、ベースバンド処理後のデータをXビット、ゲインのビット数をYとすると、入力ビット数は $X+Y$ ビットであるので、 $(X+Y) \times n$ ビットのFFが必要となり、回路規模の上で問題となっていた。

【解決手段】 ゲインを調整するセレクタ15と乗算器16をフィルタ内部に配置し、フィルタ入力ビット数をXとすることにより、フィルタ内のFF数は $X \times n$ ビットとなり、 $Y \times n$ ビット分削減されたことになる。このように、従来フィルタ前段に配置されていたゲイン調整回路を、フィルタ内部に組み込むことにより回路規模を削減することを可能とした。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日

[変更理由] 新規登録

住 所 東京都港区芝五丁目 7 番 1 号

氏 名 日本電気株式会社